

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-006797

(43)Date of publication of application : 08.01.2004

(51)Int.Cl.

H01L 21/268
G09F 9/00
H01L 21/20
H01L 21/336
H01L 29/786
H05B 33/14

(21)Application number : 2003-105336

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 09.04.2003

(72)Inventor : KIMURA HAJIME
ANZAI AYA
YAMAZAKI SHUNPEI

(30)Priority

Priority number : 2002109164

Priority date : 11.04.2002

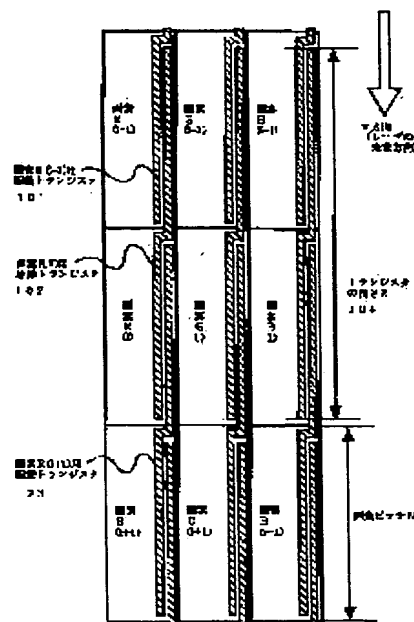
Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that transistor characteristics are varied depending on the number of irradiation of a laser beam onto a semiconductor and the variation in the intensity of the irradiated laser beam.

SOLUTION: In a semiconductor device, a plurality of pixels each having a transistor are provided in matrix. The device has such an arrangement that the plurality of transistors are provided with semiconductors that have been crystallized by the irradiation of a laser beam, that the plurality of semiconductors are each disposed at least over two pixels, and that the channel forming region of each of the plurality of transistors is longer than the pixel pitch.



LEGAL STATUS

[Date of request for examination]

13.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-6797

(P2004-6797A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/268	HO 1 L 21/268 F	3 K 0 0 7
GO 9 F 9/00	GO 9 F 9/00 3 3 8	5 F 0 5 2
HO 1 L 21/20	HO 1 L 21/20	5 F 1 1 0
HO 1 L 21/336	HO 5 B 33/14 A	5 G 4 3 5
HO 1 L 29/786	HO 1 L 29/78 6 1 2 Z	

審査請求 有 請求項の数 6 O L (全 32 頁) 最終頁に続く

(21) 出願番号	特願2003-105336 (P2003-105336)	(71) 出願人	000153878
(22) 出願日	平成15年4月9日 (2003.4.9)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2002-109164 (P2002-109164)	(72) 発明者	木村 肇
(32) 優先日	平成14年4月11日 (2002.4.11)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国	日本国 (JP)		半導体エネルギー研究所内
		(72) 発明者	安西 彩
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム (参考)	3K007 AB17 BA06 DB03 GA00
			5F052 AA02 BA02 BA07 BA18 CA07
			JA01 JA02

最終頁に続く

(54) 【発明の名称】 半導体装置

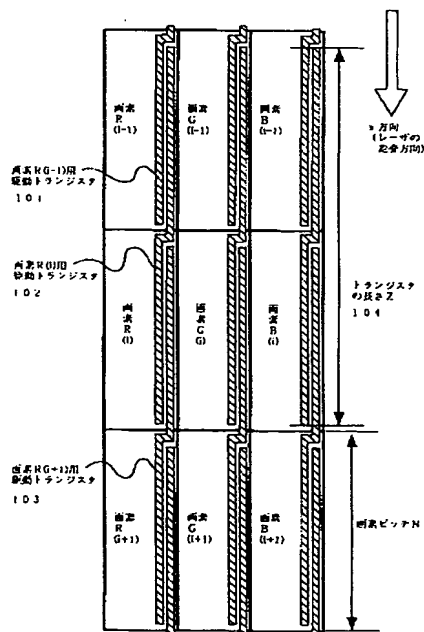
(57) 【要約】

【課題】半導体に対するレーザの照射回数及び照射されたレーザ光の強度のはらつきによって、トランジスタの特性にはらつきが生じる。

【解決手段】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、前記複数のトランジスタは、レーザ光の照射により結晶化された半導体を有し、前記複数の半導体は、少なくとも2つの画素にまたがって配置され、且つ前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長いことを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項1】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、
前記複数のトランジスタは、レーザ光の照射により結晶化された半導体を有し、
前記複数の半導体は、少なくとも2つの画素にまたがって配置され、且つ前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長いことを特徴とする半導体装置。

【請求項2】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、
前記複数のトランジスタは、レーザ光の照射により結晶化された半導体を有し、且つ第1 10
の方向に延在するように配置され、
前記複数の半導体は、少なくとも2つの画素にまたがって配置され、且つ前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長く、
前記複数のトランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくとも2つのトランジスタは、前記第2の方向に互いにずれた位置関係を有することを特徴とする半導体装置。

【請求項3】

請求項2において、
前記第1の方向は、前記トランジスタのチャネル形成領域における電荷移動方向であることを特徴とする半導体装置。 20

【請求項4】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、
前記複数のトランジスタは、レーザ光の照射により結晶化された半導体を有し、
前記複数の半導体は少なくとも2つの画素にまたがって配置され、且つ前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長く、
前記レーザ光の走査ピッチがMであり、前記画素の画素ピッチがNであるとき、前記複数の半導体に前記レーザ光を照射した回数は (N/M) 回以上であることを特徴とする半導体装置。

【請求項5】

トランジスタを有する画素と配線とがマトリクス状に複数設けられた半導体装置において 30
、
前記複数のトランジスタは、レーザ光の照射により結晶化された半導体を有し、
前記複数の半導体は前記複数の配線と平行な方向に延在し、且つ少なくとも2つの画素にまたがって配置され、なお且つ前記複数のトランジスタのチャネル形成領域の長さは前記画素の画素ピッチよりも長く、
前記レーザ光の走査ピッチがMであり、前記画素の画素ピッチがNであるとき、前記レーザ光が前記複数の半導体に照射した回数は (N/M) 回以上であることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、 40
複数の前記トランジスタの各チャネル形成領域における電荷移動方向は、前記レーザ光の走査方向と平行であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。より詳しくは、レーザ光の照射により結晶化された多結晶半導体を用いてトランジスタを作製した半導体装置及びその作製方法に関する。また前記トランジスタを画素に用いた半導体装置及びその作製方法に関する。

【0002】

【従来の技術】

近年、PDAや携帯電話、ノートPCなどの携帯機器が広く普及している。そのような機器には、フラットパネルディスプレイが搭載されている。フラットパネルディスプレイとしては、STN型液晶ディスプレイやアモルファスシリコンTFT（非晶質シリコン薄膜トランジスタ）型液晶ディスプレイなどが採用されることが多い。しかしながら、最近では、ガラス基板上に駆動回路を内蔵した低温ポリシリコン（多結晶シリコン）TFT型液晶ディスプレイが搭載されることが多くなっている。さらに、液晶ディスプレイではなく、低温ポリシリコンTFTを用いた発光ディスプレイ（ELディスプレイなど）も、フラットパネルディスプレイとして搭載されることが期待されている。

【0003】

図26に、発光ディスプレイの画素回路の一例を示して、動作を簡単に説明する。図26に示した画素回路では、駆動トランジスタ2601のV_{gs}（ゲート・ソース間電圧）を制御することにより、発光素子2602に流れる電流（以後、発光電流と呼ぶ）を制御している。発光電流の値と発光素子の輝度とは、比例関係にある。そのため、発光電流を制御することにより、発光素子の輝度も制御できる。

10

【0004】

発光素子は、有機材料、無機材料、バルク材料などの広汎にわたる材料により構成される。そのうち、主に有機材料により構成される有機発光ダイオード（Organic Light Emitting Diode : OLED）は代表的な発光素子として挙げられる。発光素子は、陽極及び陰極、並びに前記陽極と前記陰極との間に発光層が挟まれた構造を有する。発光層は、上記材料から選択された1つ又は複数の材料により構成される。また発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらか一方、又は両方の発光を用いた場合にも適用可能である。

20

【0005】

図27（A）は、発光素子2602と駆動トランジスタ2601で構成される回路図を示し、図27（B）には、駆動トランジスタ2601のV_{gs}（ゲート・ソース間電圧）と、発光電流の関係を示す。図27（B）には、2本のグラフが示してある。これらは、駆動トランジスタ2601の特性が同一ではない場合について示している。図27（B）に示すように、駆動トランジスタ2601の特性がばらつくと、V_{gs}の大きさが同じであっても、発光電流はばらついてしまう。そのため、正確な階調で画像を表示させるためには、駆動トランジスタ2601の特性がばらつかないようにする必要がある。仮に、駆動トランジスタ2601の移動度、しきい値電圧などの特性がばらつければ、正確な階調で画像を表示することが出来なくなる。

30

【0006】

一方、低温ポリシリコンTFTは、ガラス基板上に形成された高性能のTFTであることに特徴がある。TFTを高性能にするためには、トランジスタにおける半導体（より詳しくはチャネル形成領域）の結晶性を高める必要がある。

【0007】

半導体の結晶性を高めるための手法としては、アモルファス状態（非晶質状態）の半導体にレーザ光を照射することにより、半導体を結晶化（多結晶化、ポリシリコン化）させる手法が広く用いられている。この手法を用いると、レーザ光の照射されている箇所のみ、高いエネルギーを与えることになるので、基板全体を高い温度にさらす必要がない。この手法により形成されたTFTは、低温ポリシリコンTFTと呼ばれている。

40

【0008】

それに対し、熱的なアニールにより半導体層を結晶化させる手法により形成されたTFTは、高温ポリシリコンTFTと呼ばれている。

【0009】

ところで、低温ポリシリコンTFTを形成するときに用いられるレーザとしては、エキシマレーザが多く、該レーザの照射方法としては、線状のレーザ光をガラス基板に照射する方法が用いられることが多い。線状レーザを走査させることにより、ガラス基板全体にレ

50

ーザ光を照射させている。

【0010】

図28にレーザ照射の模式図を示す。線状レーザ2801が走直される方向をX方向とする。図28では、ソースドライバと平行に線状レーザが照射されており、ゲートドライバと平行にレーザが走直されている（例えば、特許文献1参照。）。

【0011】

【特許文献1】

特許第2756530号明細書

【0012】

次いで、複数の画素がマトリクス状に形成された画素部における各画素の配列の仕方について述べる。図28の画素領域2802には、複数の画素がマトリクス状に配置されている。モノクロ画像を表示する画素部の場合は、縦方向と横方向の両方向において、等間隔に配置されている。しかし、カラー画像を表示する画素部の場合、R、G、Bの各画素の配置には、様々な方法がある。

【0013】

RGBの各色に対応した画素の配置の方法として、図29を用いて説明する。図29(A)には、同じ色の画素を縦に並べた縦ストライプ配置を示し、図29(B)には、画素を各行で半副画素毎ずらしたデルタ配置を示す。

【0014】

縦ストライプ配置は、RGBの各色に対応した画素に着目すると、横方向の長さは、縦方向の長さの3分の1となっている。そしてRGBの3つの画素を1画素とすると、該画素の縦方向の長さとは横方向の長さは同じであり、その形状は正方形の形状となっている。つまり1画素における縦方向と横方向の両者の画素ビッチNは同じ長さとなる。デルタ配置は、RGBの各色に対応した画素（副画素）に着目すると、横方向の長さは、縦方向の長さと同じである。つまり、各色に対応した画素（副画素）の形状は正方形の形状となっている。

【0015】

【発明が解決しようとする課題】

既に述べたように、低温ポリシリコンTFTには、線状レーザが照射されて結晶化された半導体を用いられる。ここで、線状レーザを走直して半導体にレーザ光を照射したときにおける、レーザ光の強度分布（図30）を用いて該線状レーザの動作について説明する。

【0016】

最初に、ある位置で線状レーザを照射する。このときのレーザ光の強度分布は、図30に示すように、山なりのような形になる場合が多い。一例として、ガウス分布のような形になる場合が多い。その後、レーザの走直ビッチMだけ、レーザの照射位置をX方向に移動させて、再び線状レーザを照射する。次いで、再びレーザの照射位置をX方向に移動させて、レーザを照射する。以後、同様な動作を繰り返し、ガラス基板全体にレーザを照射させていく。

【0017】

このとき図30に示すように、X方向（レーザの走直方向）の位置によって、半導体に多数レーザ光が照射された領域もあれば、数回しかレーザ光が照射されていない領域が存在する。つまり、半導体の領域によって、レーザの照射回数にはばらつきが存在する。

【0018】

さらに、レーザが発振するレーザ光の強度は、常に一定ではなくばらつきが存在する。つまり、レーザの照射回数が同一の半導体においても、均一にレーザは照射されていない。

【0019】

このように、半導体の領域によってレーザの照射回数やレーザ光の強度にばらつきが生じると、レーザによって結晶化された半導体の結晶状態にもばらつきが生じる。半導体の結晶状態が異なると、該半導体を用いたトランジスタの特性にもばらつきが生じる。

【0020】

10

20

30

40

50

仮に、特性にはらつきがあるトランジスタを用いて、発光ディスプレイを作製すると、各画素の駆動トランジスタ2601の特性がはらついてしまう。このような発光ディスプレイでは、正確な階調で表現された画像を表示することが出来ない。

【0021】

図31には、駆動トランジスタ2601の特性はらつきの影響により、不均一な画像を表示している図を示す。該不均一な画像は、X方向（レーザの走査方向）の位置により、半導体に対するレーザの照射回数及び照射されたレーザ光の強度にはらつきがあることに起因する。その結果、Y方向（レーザ照射方向）に平行な縞模様が見えてしまい、レーザ照射の跡が残ったようになってしまう。以後、このような画像ムラのことを、レーザ縞と呼ぶ。

10

【0022】

本発明は、上記の問題点を解決した半導体装置及びその作製方法を提供することを課題とする。より詳しくは、半導体に対するレーザの照射回数及び照射されたレーザ光の強度のはらつきに起因したトランジスタの特性はらつきの影響を抑制した半導体装置及びその作製方法を提供することを課題とする。さらに本発明は、レーザ縞を減少させた半導体装置及びその作製方法を提供することを課題とする。

【0023】

【課題を解決するための手段】

上記課題を解決するために、

本発明は、トランジスタを有する画素がマトリクス状に複数設けられた半導体装置であって、

20

前記トランジスタは、レーザ光の照射により結晶化された半導体を有し、

前記トランジスタのチャネル形成領域は、レーザの走査方向に対して平行に配置されていることを特徴とする。

【0024】

本発明は、トランジスタを有する画素がマトリクス状に複数設けられた半導体装置であって、

前記トランジスタは、レーザ光の照射により結晶化された半導体を有し、

前記トランジスタのチャネル形成領域は、レーザの走査方向に対して平行に配置され、画素ビッチよりも長い領域に渡って延在していることを特徴とする。

30

【0025】

本発明は、トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、

前記トランジスタは、レーザ光の照射により結晶化された半導体を有し、

前記半導体は少なくとも2つの画素にまたがって配置され、且つ当該半導体の長さは前記画素の画素ビッチよりも長く、

前記レーザ光の走査ビッチがMであり、前記画素の画素ビッチがNであるとき、前記レーザ光が前記半導体に照射した回数は (N/M) 回以上であることを特徴とする。

【0026】

本発明は、半導体にレーザ光を照射して結晶化し、

40

前記結晶化された半導体を用いて形成されたトランジスタをマトリクス状に複数設ける半導体装置の作製方法であって、

複数の前記トランジスタの各チャネル形成領域は、第1の方向に延在するように配置され、

複数の前記トランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくとも2つのトランジスタは、前記第2の方向に互いにずれた位置関係を有し、

複数の前記トランジスタの特性が同じであることを特徴とする。

【0027】

本発明は、半導体にレーザ光を照射して結晶化し、

前記結晶化された半導体を用いてトランジスタを形成し、

50

前記トランジスタを用いて形成された画素をマトリクス状に複数設ける半導体装置の作製方法であって、

前記半導体は少なくとも2つの画素にまたがって配置され、且つ当該半導体の長さは前記画素の画素ピッチよりも長く、

前記レーザ光の走直ピッチがMであり、前記画素の画素ピッチがNであるとき、前記レーザ光は前記半導体に (N/M) 回以上照射することを特徴とする。

【0028】

本発明は、 \times 方向（レーザの走直方向）の位置によるトランジスタの特性ばらつきを平均化させるために、 \times 方向（レーザの走直方向）と平行に半導体を配置する。 \times 方向（レーザの走直方向）と平行にトランジスタを配置することで、トランジスタのチャネル形成領域に対するレーザの照射回数を増やすことが出来る。その結果、レーザの照射回数のばらつきによって生じる、半導体の結晶状態のばらつきによる影響を低減できるため、前記半導体を有するトランジスタの特性ばらつきの影響を抑制することができる。

【0029】

また本発明では、半導体に対するレーザの照射回数を増やすために、半導体を少なくとも2つの画素にまたがって配置する。そうすると、前記半導体の長さは、画素の画素ピッチよりも長く配置される。このようにトランジスタのサイズを大きくし、例えばチャネル幅に対してチャネル長を大きくとることで、トランジスタ自体のばらつきを低減することができる。

【0030】

なお、半導体にレーザ光を照射するときには、レーザ光の幅及び長さ、並びにレーザの走直ピッチは、特に限定されない。ただし本発明では、半導体に対するレーザの照射回数が増えるので、レーザ光の幅を広くしたりすることが好ましい。こうすることによって、半導体の結晶状態のばらつきによる影響を、さらに低減することができる。また、半導体の長さが十分に長い場合は、レーザの走直ピッチを多少長くしても、半導体に対するレーザ照射回数は十分大きくできるため、トランジスタのばらつきを低減することができる。こうすることによって、画面全体に対するレーザの照射回数を増やすことなく半導体装置を作製することが出来る。その結果、半導体装置を作製するときの処理速度が早くなるため、作製費用を削減することが出来る。

【0031】

【発明の実施の形態】

【実施の形態1】

本発明の半導体装置の実施の形態について、図1～図6を用いて説明する。図1に、画素におけるトランジスタの配置の概略図を示す。図1には、ストライプ配置されたRGBの3画素分の画素が記載されている。ただし、1色で1画素と考える場合は、9画素分の画素に相当する。各々の画素を識別するため、図1において、上から1画素目のR色の部分を画素R(i-1)、G色の部分を画素G(i-1)、B色の部分を画素B(i-1)と呼ぶ。同様に、2画素目のR色の部分を画素R(i)、G色の部分を画素G(i)、B色の部分を画素B(i)、3画素目のR色の部分を画素R(i+1)、G色の部分を画素G(i+1)、B色の部分を画素B(i+1)と呼ぶ。

【0032】

各々の画素は、トランジスタを有している。例えば、画素R(i-1)は、該画素が有する発光素子を駆動するためのトランジスタを有する。それを、画素R(i-1)用駆動トランジスタ101と呼ぶ。同様に、画素R(i)は画素R(i)用駆動トランジスタ102を、画素R(i+1)は画素R(i+1)用駆動トランジスタ103を有する。他の画素も、上記と同様である。

【0033】

本実施の形態では、図1に示すように、各画素の駆動トランジスタが、周囲に配置された別の画素の領域にまたがって配置されている。つまり、画素R(i+1)用駆動トランジスタ103は、画素R(i)の領域にまたがって配置されている。同様に、画素R(i)

10

20

30

40

50

用駆動トランジスタ102は、画素R(i-1)にまたがって配置されている。このように本発明では、ある画素が有する駆動トランジスタは、周囲に配置された画素の領域にまたがって配置されている。

【0034】

その結果、駆動トランジスタの長さを、画素ビッチよりも長くすることが出来る。したがって、レーザの走直方向とトランジスタのチャネル形成領域の延在方向を平行にすることが出来るので、各駆動トランジスタにレーザを照射する回数が増加する。したがって、トランジスタの特性のばらつきをおさえることが出来る。

【0035】

ここで、図30に示すように、レーザの走直ビッチをMとする。そして、画素ビッチをNとする。図1に示すように、トランジスタの長さ104を区とする。すると、1つのトランジスタにレーザが照射される回数は、 $(区/M)$ 回となる。ここで、 $区 > N$ であるので、 $(区/M) > (N/M)$ となる。

10

【0036】

このように本発明により、トランジスタに対するレーザの照射回数を増やすことが出来るので、トランジスタの特性のばらつきをおさえることが出来る。さらに、トランジスタの長さ区が十分に長い場合は、レーザの走直ビッチMを従来よりも多少大きくすることが出来るので、画面全体に対するレーザの照射回数を減らすことが出来るようになる。ただし、図1ではトランジスタの長さ区は、2画素にまたがっている。したがって、トランジスタに対する照射回数を増やすためには、走直ビッチMは2倍以下にしておくことが好ましい。その結果、半導体装置を作製するときの処理速度が速くなるため、作製費用を削減することが出来る。

20

【0037】

次に、図1に対応した画素のレイアウト図を、図2に示す。図2では、一例として、画素R(i)の部分のみを記載している。そして、図2に対応した回路図を、図3に示す。また、図2の断面図を、図4に示す。図2～図4のうち、同一のものを示す場合には、同じ符号を用いている。

【0038】

図2に示したレイアウト図の特徴としては、以下のようなことが挙げられる。

【0039】

30

まず、ある画素の駆動トランジスタを別の画素の領域にまたがって配置させるため、選択ゲート線として、ソース配線の層を用いる点が挙げられる。そうすることで、選択ゲート線と駆動トランジスタを交差させることが出来るので、重ね合わせる事が出来る。その結果、駆動トランジスタのレイアウトを簡単に行うことが出来る。

【0040】

例えば図2において、(i-1)行目選択ゲート線203と、画素R(i)用駆動トランジスタ102は、重ねて配置されている。そのため、駆動トランジスタを別の画素の領域にまたがって配置することが簡単になる。

【0041】

また電源供給線は、選択ゲート線と交差させるため重ね合わせる事が出来、その重ね合わせた部分をゲート配線の層で作製することが出来る。例えば、j列目電源供給線205と(i-1)行目選択ゲート線203は交差しているため、重ね合わせて配置されている。その交差部のj列目電源供給線205は、ゲート配線の層で作製されているため、電源供給線は、選択ゲート線と交差することが出来る。

40

【0042】

なお、電源供給線は選択ゲート線と交差させるため、その交差部分のみをゲート配線の層で作製した。しかし、選択ゲート線と交差するのであれば、電源供給線の交差部分は、どの配線の層で形成してもよい。

【0043】

上記以外の特徴としては、駆動トランジスタが、電源供給線やソース信号線と平行に配置

50

されている点が挙げられる。例えば、画素 $R(i)$ 用駆動トランジスタ102は、電源供給線やソース信号線と平行に配置されている。そのため、各画素内において、効率的に長いトランジスタを配置することが出来る。

【0044】

このように、選択ゲート線と電源供給線との配置を工夫することにより、駆動トランジスタの長さを画素ピッチよりも長くすることが出来る。より詳しくは、駆動トランジスタのチャンネル形成領域の長さを画素ピッチよりも長くすることができる。

【0045】

図2に示すように、駆動トランジスタのチャンネル形成領域において、その長さが長い領域は、長いチャンネル形成領域201で示す部分と、長いチャンネル形成領域202で示す部分となる。駆動トランジスタに関して、チャンネル形成領域の最も長い部分というのは、長いチャンネル形成領域201で示す部分と、長いチャンネル形成領域202で示す部分との和になる。この和で示されるチャンネル形成領域の長さは、画素ピッチよりも長く、より詳しくは画素ピッチの約2倍の長さになっている。その結果、トランジスタに対するレーザー光の照射回数が多くなり、トランジスタの特性のばらつきを低減させることができる。

10

【0046】

最後に、図2に示したレイアウト図において、工夫している点について述べる。それは、駆動トランジスタの配置に関するものである。図2では、画素 $R(i)$ 用駆動トランジスタ102は、画素 $R(i-1)$ の領域にまたがって配置されている。画素 $R(i+1)$ の領域には、配置されていない。これは、選択ゲート線からのノイズに対処するためである。つまり、選択ゲート線と駆動トランジスタとは交差しているため、駆動トランジスタに選択ゲート線からノイズが入る可能性がある。そこで、駆動トランジスタと交差している選択ゲート線を選択し終わった後に、画素に信号を入力するようにしておけば、ノイズの影響を小さくできる。

20

【0047】

以上、2つの画素にまたがってトランジスタを配置した例について図1～図4を用いて説明した。しかし、本発明はこれに限定されない。2つの画素以上にまたがって、トランジスタを配置してもよい。

【0048】

そこで、2つの画素以上にまたがってトランジスタを配置した例として、3画素にわたってトランジスタを配置した場合について図5を用いて説明する。図5において、トランジスタの長さ L_{504} は、画素ピッチ N の約3倍の長さになっている。また図6には、図5に対応した画素のレイアウト図を示す。

30

【0049】

図5や図6に示すように駆動トランジスタを配置すること、トランジスタの長さを任意に設計することが可能となる。その結果、トランジスタに対するレーザー光の照射回数が増加するため、チャンネル形成領域における結晶状態のばらつきによる影響を低減することができる。

【0050】

なお本実施の形態では、カラー表示の場合について述べた。しかし、本発明はモノクロ表示の場合に対しても適用できる。

40

【0051】

また本実施の形態では、ストライプ配置の場合に付いて述べてきた。しかしながら本発明はこれに限定されず、デルタ配置などの別方法で配置された場合に対しても適用できる。

【0052】

また本実施の形態では、駆動トランジスタが1つのトランジスタのみで構成される場合について述べた。しかし、直列や並列に接続した複数のトランジスタを用いて、1つの駆動トランジスタと同等の動作をさせることが可能である。したがって、それに対応させて、トランジスタを配置させたものに対しても本発明を適用できる。

【0053】

50

また本実施の形態では、図4に示すように、トランジスタにおいて、チャネル形成領域よりも上側にゲート電極が形成されている構造、いわゆる、トップゲート構造のトランジスタを用いて説明した。しかしながら、図35に示すように、チャネル形成領域よりも下側にゲート電極が形成されている構造、いわゆる、ボトムゲート構造など、どのような構造のトランジスタであっても、適用できる。なぜなら、本発明はこれらの構造には依存しないからである。

【0054】

また本実施の形態では、画素の回路構成として、選択トランジスタと駆動トランジスタの一画素内に2つのトランジスタを有する場合に本発明を適用した例を述べた。しかしながら、本発明は別の回路構成に対しても適用できる。例として、図33や図34に示すように、特開2001-343933、US 6229506 B1、特開平11-219146、特開2001-147659などに記載の構成が挙げられる。つまり、本発明は回路構成に依存しない。どのような回路構成であっても、本発明を適用することができる。但し、さまざまな回路構成に本発明を適用するときには、性能に影響を与えるトランジスタやばりつきの影響を受けやすいトランジスタに、本発明を適用することが効果的である。

【0055】

また上述した以外の本発明の特徴について以下に述べる。本発明の半導体装置は、トランジスタがマトリクス状に複数配置されており、各トランジスタはレーザー光の照射により結晶化された半導体を有する。そして、複数のトランジスタの各チャネル形成領域は、第1の方向に延在するように配置され、複数の前記トランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくとも2つのトランジスタは、前記第1の方向に互いにずれた位置関係を有することを特徴としている。

【0056】

前記第1の方向は、レーザーの走査方向に相当する。また、チャネル長を長くするように半導体を配置する場合、レーザーの走査方向はトランジスタのチャネル形成領域における電荷の移動方向に相当する。また、本発明を実施するための一例として、図1の画素R(i-1)用駆動トランジスタ101や、図5の画素R(i-1)用駆動トランジスタ501に示されるような形状の半導体のように、2つまたは3つの画素にまたがって半導体を配置する。このようにすると、トランジスタが有する各半導体のチャネル長が画素ピッチよりも長いものに関わらず、画素内における半導体の占有面積をなるべく小さくすることが出来る。なお、半導体の形状は、上記のものに限定されるものではなく、半導体の長さが画素ピッチに対して長い形状を有するように配置するのであれば、どのような形状でもよい。また、チャネル形成領域に関して延在させるのは、チャネル長Lであってもよいし、チャネル幅Wであってもよいし、両方であってもよい。

【0057】

【実施の形態2】

本実施の形態では、実施の形態1とは駆動トランジスタの配置が異なる場合について図7～図11を用いて説明する。図7には、画素におけるトランジスタの配置の概略図を示す。

【0058】

図7には、各画素の駆動トランジスタが、周囲に配置されている別の画素の領域にまたがって配置された画素を示す。図7では、2つのトランジスタを直列または並列に接続することにより、1つのトランジスタと同等の働きをしている。従って、画素R(i)には、画素R(i+1)用駆動トランジスタ2704と、画素R(i)用駆動トランジスタ1701とが配置されている。そして、画素R(i)用駆動トランジスタ2702は、画素R(i-1)に配置されている。そして、画素R(i)用駆動トランジスタ1701と、画素R(i)用駆動トランジスタ2702とは、電気的に接続されている。このように、図7では、ある画素が有する駆動トランジスタは、上の画素の領域にも配置されており、それらは電気的に接続されている。

【0059】

その結果、駆動トランジスタの長さは、電氣的に接続されたトランジスタの合計に相当する。したがって、駆動トランジスタの長さを画素ビッチよりも長くすることが出来る。そのため、レーザの走査方向とトランジスタとを平行にすれば、各駆動トランジスタに対するレーザ光の照射回数が増加するので、半導体（より詳しくはチャネル形成領域）の結晶状態のばらつきによる影響を低減することができ、トランジスタの特性のばらつきをおさえることが出来る。

【0060】

ここで、図30に示すように、レーザの走査ビッチをMとする。そして、画素ビッチをNとする。トランジスタの長さを Σ とする。すると、トランジスタにレーザ光が照射される回数は、 (Σ/M) 回となる。ここで、 $\Sigma > N$ であるので、 $(\Sigma/M) > (N/M)$ となる。

10

【0061】

このように、トランジスタが有する半導体に対するレーザ光の照射回数を増やすことができるので、トランジスタ自体のばらつきを低減することができる。また、トランジスタの長さ Σ が十分に長い場合は、レーザの走査ビッチMを従来よりも多少大きくすることができ、画面全体にレーザ光を照射する回数を減らすことができる。ただし、図1ではトランジスタの長さ Σ は、2画素にまたがっている。したがって、トランジスタに対する照射回数を増やすためには、走査ビッチMは2倍以下にしておくことが好ましい。その結果、半導体を作製するときの処理速度が早くなるため、短い期間で製造できるようになり、作製費用を削減することが出来る。

20

【0062】

次に、図7に対応した画素のレイアウト図を、図8に示す。図8では、一例として、画素R(i)の部分のみについて記載している。図8に対応した回路図を、図9に示す。また、図8の断面図を、図10に示す。なお図7～図9において、同一のものを指す場合は、同じ符号を用いている。

【0063】

図8の特徴としては、以下のことを挙げることができる。

【0064】

まず、複数個の画素にまたがって配置されている駆動トランジスタと、電氣的に接続させるため、選択ゲート線を交差させて配線を配置している点が挙げられる。例えば、(i-1)行目選択ゲート線808を乗り越えて、画素R(i)用駆動トランジスタ1701は、画素R(i-1)用駆動トランジスタと接続されている。ゲート配線の層で形成されている選択ゲート線を交差して乗り越えるため、乗り越え部分の配線はソース配線の層で形成されている。そのため、チャネル形成領域の長いトランジスタを配置することができる。

30

【0065】

その他の特徴としては、駆動トランジスタが、電源供給線やソース信号線と平行に配置されている点が挙げられる。例えば、画素R(i)用駆動トランジスタ1701などは、電源供給線やソース信号線と平行に配置されている。そのため、効率的にチャネル形成領域の長いトランジスタを配置することが出来る。

40

【0066】

このように、駆動トランジスタの接続を工夫することにより、駆動トランジスタのチャネル形成領域の長さを、画素ビッチよりも長くすることができる。なおここでは、2つのトランジスタを直列に接続している。そのため、チャネル形成領域の長さとは、2つのトランジスタのチャネル形成領域の和に相当する。

【0067】

以上、2つの画素にトランジスタを配置し、接続させた例を述べてきた。しかし、本発明は、これに限定されない。2つの画素以上にわたって、トランジスタを配置しても良い。

【0068】

50

そこで、2画素以上にわたって、トランジスタを配置した例として、3つの画素にトランジスタを配置し、接続させた場合を、図11に示す。

【0069】

図11に示すようにトランジスタを配置すること、トランジスタの長さを任意に設計することが可能となる。その結果、トランジスタに対するレーザ光の照射回数が増える。レーザ光の照射回数が増えると、トランジスタにおけるチャネル形成領域の結晶状態のはらつきによる影響を低減することができるので、トランジスタの特性のはらつきを抑制することが出来る。

【0070】

なお本実施の形態では、カラー表示の場合について述べた。しかし、本発明はモノクロ表示の場合に対しても適用できる。

【0071】

また本実施の形態では、ストライプ配置の場合について述べてきた。しかしながら本発明はこれに限定されず、デルタ配置などの別方法で配置された場合に対しても適用できる。

【0072】

また本実施の形態では、駆動トランジスタが1つのトランジスタのみで構成される場合について述べた。しかし、直列や並列に接続した複数のトランジスタを用いて、1つの駆動トランジスタと同等の動作をさせることが可能である。したがって、それに対応させて、トランジスタを配置させたものに対しても本発明を適用できる。

【0073】

また本実施の形態では、図10に示すように、トランジスタにおいて、チャネル形成領域よりも上側にゲート電極が形成されている構造、いわゆる、トップゲート構造のトランジスタを用いて説明した。しかしながら、図35に示すように、チャネル形成領域よりも下側にゲート電極が形成されている構造、いわゆる、ボトムゲート構造など、どのような構造のトランジスタであっても、適用できる。なぜなら、本発明はそれらの構造には依存しないからである。

【0074】

また本実施の形態では、画素の回路構成として、選択トランジスタと駆動トランジスタの一画素内に2つのトランジスタを有する場合に本発明を適用した例を述べた。しかしながら、本発明は別の回路構成に対しても適用できる。例として、図33や図34に示すように、特開2001-343933、US 6229506 B1、特開平11-219146、特開2001-147659などに記載の構成が挙げられる。つまり、本発明は回路構成に依存しない。どのような回路構成であっても、本発明を適用することができる。但し、さまざま回路構成に本発明を適用するときには、性能に影響を与えるトランジスタやはらつきの影響を受けやすいトランジスタに、本発明を適用することが効果的である。

【0075】

また上述した以外の本発明の特徴を以下に述べる。本発明の半導体装置は、トランジスタがマトリクス状に複数配置されており、各トランジスタはレーザ光の照射により結晶化された半導体を有する。なお、半導体にレーザ光を照射する際は、レーザ自体を移動させて照射しても良いし、基板自体を移動させて照射しても良い。そして、複数のトランジスタの各チャネル形成領域は、レーザの走査方向に延在するように配置され、複数の前記トランジスタのうち、前記レーザの走査方向と垂直な方向で隣接する少なくとも2つのトランジスタは、前記レーザの走査方向に互いにずれた位置関係を有することを特徴としている。

【0076】

また複数のトランジスタが有する各半導体は、かぎ括弧の終点印である“)”と始点印である“(”とを合体させたような形状を有し、2つ又は3つの画素にまたがって配置されている。このようにすると、トランジスタが有する各半導体のチャネル長が画素ビッチよりも長いものにも関わらず、画素内における半導体の占有面積をなるべく小さくすることが

10

20

30

40

50

出来る。

【0077】

【実施の形態3】

上述した実施形態では、トランジスタの配置を工夫した場合について説明した。本実施形態では、選択ゲート線の配置を工夫した場合について、図12～図15を用いて説明する。図12に、画素におけるトランジスタの配置の概略図を示す。図12には、ストライプ配置された2画素分の画素が記載されている。ただし、1色で1画素と考える場合は、6画素分の画素に相当する。各々の画素を識別するため、図12において、上から1画素目のR色の部分を画素R1、G色の部分を画素G1、B色の部分を画素B1と呼ぶ。同様に、2画素目のR色の部分を画素R2、G色の部分を画素G2、B色の部分を画素B2と呼ぶ。

10

【0078】

各々の画素は、トランジスタを有している。例えば、画素G1は該画素が有する発光素子を駆動するためのトランジスタを有する。それを画素G1用駆動トランジスタ1201と呼ぶ。同様に、画素G2は画素G2用駆動トランジスタ1202を有する。他の画素も、上記と同様である。

【0079】

図12に示したレイアウト図では、2つの画素で1つのペアのような配置になっており、上側の画素の駆動トランジスタが、下側の画素の領域にまたがって配置され、下側の画素の駆動トランジスタが、上側の画素の領域にまたがって配置されている。つまり、画素G1用駆動トランジスタ1201は、画素G2の領域にまたがって配置されている。同様に、画素G2用駆動トランジスタ1202は、画素G1の領域にまたがって配置されている。

20

【0080】

その結果、駆動トランジスタの長さを、画素ビッチよりも長くすることが出来る。したがって、レーザの走査方向とトランジスタの延在方向を平行にすることが出来るので、各駆動トランジスタにレーザを照射する回数が増加する。したがって、トランジスタの特性のばらつきをおさえることが出来る。

【0081】

ここで、図80に示すように、レーザの走査ビッチをMとする。そして、画素ビッチをNとする。トランジスタの長さをZとする。すると、トランジスタにレーザ光が照射される回数は、 (Z/M) 回となる。ここで、 $Z > N$ であるので、 $(Z/M) > (N/M)$ となる。

30

【0082】

このように、本発明によりトランジスタに対するレーザの照射回数を増やすことができるため、トランジスタ自体のばらつきを低減することができる。さらに、トランジスタの長さZが十分に長い場合は、レーザの走査ビッチMを従来よりも多少大きくすることができるので、画面全体に対するレーザの照射回数を減らすことができるようになる。ただし、図1ではトランジスタの長さZは、2画素にまたがっている。したがって、トランジスタに対する照射回数を増やすためには、走査ビッチMは2倍以下にしておくことが好ましい。

40

【0083】

次に、図12に対応した画素のレイアウト図を図13に示す。図13では、一例として、画素R1、画素R2、画素G1、画素G2について記載している。図13に対応した回路図を図14に示す。また、図13の断面図を、図15に示す。なお、図13～図15において、同一のものを指す場合は、同じ符号を用いている。

【0084】

図13に示したレイアウト図の特徴としては、以下のようなことを挙げることができる。

【0085】

50

まず、画素R1や画素G1のような上側の画素では、選択ゲート線や選択トランジスタが上側に配置されている点が挙げられる。例えば、i行目選択ゲート線1303や画素G1用選択トランジスタ1301は、画素において上側に配置されている。一方、画素R2や画素G2のような下側の画素では、選択ゲート線や選択トランジスタが下側に配置されている。例えば、i+1行目選択ゲート線1305や画素G2用選択トランジスタ1306は、画素において下側に配置されている。

【0086】

その結果、駆動トランジスタが、別の画素の中に、そのまま配置できるようになっている。すなわち、画素G1用駆動トランジスタ1201は、そのまま画素G2の領域にまで配置している。また、画素G2用駆動トランジスタ1202も、そのまま画素G1の領域にまで配置している。

10

【0087】

したがって、行によって、選択ゲート線や選択トランジスタが、画素領域の中のどの位置に配置してあるかという点が異なってくる。さらに、駆動トランジスタの配置も、画素領域の中のどの位置に配置してあるかという点が異なってくる。その上、ITOの配置も、画素領域の中のどの位置に配置してあるかという点が異なってくる。ITOは、発光素子の陽極電極となるため、その領域（より正確には、一回り小さい領域）が、発光領域となる。したがって、発光領域の配置も、画素領域の中のどの位置に配置してあるかという点が異なってくる。

【0088】

20

それ以外の特徴としては、駆動トランジスタ、例えば、画素G1用駆動トランジスタ1201などは、電源供給線やソース信号線と平行に配置されている点が挙げられる。そのため、効率的に、長いトランジスタを配置することが出来る。

【0089】

このように、選択ゲート線などの配置を工夫することにより、駆動トランジスタのチャネル形成領域の長さを、画素ピッチよりも長くすることが出来る。

【0090】

なお本実施の形態では、カラー表示の場合について述べた。しかし、本発明はモノクロ表示の場合に対しても適用できる。

【0091】

30

また本実施の形態では、ストライプ配置の場合について述べてきた。しかしながら本発明はこれに限定されず、デルタ配置などの別方法で配置された場合に対しても適用できる。

【0092】

また本実施の形態では、駆動トランジスタが1つのトランジスタのみで構成される場合について述べた。しかし、直列や並列に接続した複数のトランジスタを用いて、1つの駆動トランジスタと同等の動作をさせることが可能である。したがって、それに対応させて、トランジスタを配置させたものに対しても本発明を適用できる。

【0093】

また本実施の形態では、図15に示すように、トランジスタにおいて、チャネル形成領域よりも上側にゲート電極が形成されている構造、いわゆる、トップゲート構造のトランジスタを用いて説明した。しかしながら、図35に示すように、チャネル形成領域よりも下側にゲート電極が形成されている構造、いわゆる、ボトムゲート構造など、どのような構造のトランジスタであっても、適用できる。なぜなら、本発明はそれらの構造には依存しないからである。

40

【0094】

また本実施の形態では、画素の回路構成として、選択トランジスタと駆動トランジスタの一画素内に2つのトランジスタを有する場合に本発明を適用した例を述べた。しかしながら、本発明は別の回路構成に対しても適用できる。例として、図33や図34に示すように、特開2001-343938、US 6229506 B1、特開平11-219146、特開2001-147659などに記載の構成が挙げられる。つまり、本発明は回

50

路構成に依存しない。どのような回路構成であっても、本発明を適用することが出来る。但し、さまざまな回路構成に本発明を適用するときには、性能に影響を与えるトランジスタやはらっきの影響を受けやすいトランジスタに、本発明を適用することが効果的である。

【0095】

【実施の形態4】

本実施の形態では、駆動トランジスタを横方向に配置した場合について、図16～図18を用いて説明する。図16に、画素におけるトランジスタの配置の概略図を示す。図16には、ストライプ配置された4画素分の画素が記載されている。ただし、1色で1画素と考える場合は、12画素分の画素に相当する。各々の画素を識別するため、図16において、左から1画素目のR色の部分を画素R(i)、G色の部分を画素G(i)、B色の部分を画素B(i)、と呼ぶ。同様に、左から2画素目のR色の部分を画素R(i+1)、G色の部分を画素G(i+1)、B色の部分を画素B(i+1)、3画素目の画素目のR色の部分を画素R(i+2)、G色の部分を画素G(i+2)、B色の部分を画素B(i+2)、4画素目の画素目のR色の部分を画素R(i+3)、G色の部分を画素G(i+3)、B色の部分を画素B(i+3)、と呼ぶ。

【0096】

各々の画素は、トランジスタを有している。例えば、画素R(i+1)は、該画素が有する発光素子を駆動するためのトランジスタを有する。それを、画素R(i+1)用駆動トランジスタ1604と呼ぶことにする。他の画素も、上記と同様である。

【0097】

本実施の形態では、図16に示すように、各画素の駆動トランジスタが、横方向に伸びており、横に配置されている別の画素の領域にまたがって配置されている。つまり、画素R(i+1)用駆動トランジスタ1604は、画素G(i+1)、画素B(i+1)、画素R(i+2)、画素G(i+2)、画素B(i+2)、の領域にまたがって配置されている。このように、図16では、ある画素が有する駆動トランジスタは、その画素の横に位置する画素にまたがって配置されている。

【0098】

その結果、駆動トランジスタの長さを、画素ビッチよりも長くすることが出来る。したがって、レーザの走直方向とトランジスタの延在方向を平行にすることが出来るので、各駆動トランジスタにレーザを照射する回数が増加する。したがって、トランジスタの特性のはらっきをおさえることが出来る。

【0099】

ここで、図30に示すように、レーザの走直ビッチをMとする。そして、画素ビッチをNとする。トランジスタの長さをXとする。すると、トランジスタにレーザが照射される回数は、 X/M となる。ここで、 $X > N$ であるので、 $(X/M) > (N/M)$ となる。

【0100】

このように、本発明によりトランジスタに対するレーザの照射回数を増やすことが出来るため、トランジスタ自体のはらっきを低減することが出来る。さらに、トランジスタの長さXが十分に長い場合は、レーザの走直ビッチMを従来よりも多少大きくすることが出来るので、画面全体に対するレーザの照射回数を減らすことが出来るようになる。ただし、図1ではトランジスタの長さXは、2画素にまたがっている。したがって、トランジスタに対する照射回数を増やすためには、走直ビッチMは2倍以下にしておくことが好ましい。その結果、半導体装置を作製するときの処理速度が速くなるため、作製費用を削減することが出来る。

【0101】

次に、図16に対応した画素のレイアウト図を、図17に示す。図17では、一例として、画素R(i+2)について記載している。このレイアウトと同様なレイアウトにして、それらを繰り返していけば、画素部全体のレイアウトが出来上がる。図17に対応した回路図を、図18に示す。なお、同一のものを指す場合は、同じ符号を用いている。

【0102】

図17の特徴としては、以下のことを挙げることができる。

【0103】

まず、駆動トランジスタが、選択ゲート線と平行に配置されている点が挙げられる。例えば、j行目選択ゲート線1705と平行に、各駆動トランジスタが配置されている。その結果、駆動トランジスタの長さを、容易に長くすることができる。

【0104】

このように、駆動トランジスタの配置を工夫することにより、駆動トランジスタ、より正確には、駆動トランジスタのチャネル形成領域の長さを、画素ピッチよりも長くすることができる。

10

【0105】

以上、2画素にわたってトランジスタを配置した例を述べてきた。しかし、本発明は、これに限定されない。2画素以上にわたって、トランジスタを配置しても良い。

【0106】

このように配置することにより、トランジスタの長さを任意に設計することが可能となる。その結果、レーザ照射の回数を増やすことが可能となる。レーザ照射回数が増えると、トランジスタにおけるチャネル形成領域の結晶状態のばらつきによる影響を低減することができるので、トランジスタの特性のばらつきを抑制することが出来る。

【0107】

なお本実施の形態では、カラー表示の場合について述べた。しかし、本発明はモノクロ表示の場合に対しても適用できる。

20

【0108】

また本実施の形態では、ストライフ配置の場合に付いて述べてきた。しかしながら本発明はこれに限定されず、デルタ配置などの別方法で配置された場合に対しても適用できる。

【0109】

また本実施の形態では、駆動トランジスタが1つのトランジスタのみで構成される場合について述べた。しかし、直列や並列に接続した複数のトランジスタを用いて、1つの駆動トランジスタと同等の動作をさせることが可能である。したがって、それに対応させて、トランジスタを配置させたものに対しても本発明を適用できる。

【0110】

また本実施の形態では、図4に示すように、トランジスタにおいて、チャネル形成領域よりも上側にゲート電極が形成されている構造、いわゆる、トップゲート構造のトランジスタを用いて説明した。しかしながら、図85に示すように、チャネル形成領域よりも下側にゲート電極が形成されている構造、いわゆる、ボトムゲート構造など、どのような構造のトランジスタであっても、適用できる。なぜなら、本発明はそれらの構造には依存しないからである。

30

【0111】

また本実施の形態では、画素の回路構成として、選択トランジスタと駆動トランジスタの一画素内に2つのトランジスタを有する場合に本発明を適用した例を述べた。しかしながら、本発明は別の回路構成に対しても適用できる。例として、図88や図84に示すように、特開2001-843988、US 6229506 B1、特開平11-219146、特開2001-147659などに記載の構成が挙げられる。つまり、本発明は回路構成に依存しない。どのような回路構成であっても、本発明を適用することができる。但し、さまざまな回路構成に本発明を適用するときには、性能に影響を与えるトランジスタやばらつきの影響を受けやすいトランジスタに、本発明を適用することが効果的である。

40

【0112】

〔実施の形態5〕

本実施の形態では、画素の配置を工夫した場合について、図19～図22を用いて説明する。通常のストライフ配置では、RGBと横に並んでいる。そこで、図19では、縦にR

50

RGBと並んだ場合の画素におけるトランジスタの配置の概略図を示す。図19には、RGBが縦に並んでストライプ配置された4画素分の画素が記載されている。ただし、1色で1画素と考える場合は、12画素分の画素に相当する。各々の画素を識別するため、図19において、左から1画素目のR色の部分を画素R(i-1)、G色の部分を画素G(i-1)、B色の部分を画素B(i-1)と呼ぶ。同様に、2画素目のR色の部分を画素R(i)、G色の部分を画素G(i)、B色の部分を画素B(i)、3画素目の画素目のR色の部分を画素R(i+1)、G色の部分を画素G(i+1)、B色の部分を画素B(i+1)、4画素目の画素目のR色の部分を画素R(i+2)、G色の部分を画素G(i+2)、B色の部分を画素B(i+2)と呼ぶ。

【0113】

各々の画素は、トランジスタを有している。例えば、画素R(i-1)は、該画素が有する発光素子を駆動するためのトランジスタを有する。それを、画素R(i-1)用駆動トランジスタ1901と呼ぶ。他の画素も、上記と同様である。

【0114】

本実施形態では、図19に示すように、各画素の駆動トランジスタが、横方向に伸びており、横に配置されている別の画素の領域にまたがって配置されている。つまり、画素R(i-1)用駆動トランジスタ1901は、画素R(i)の領域にまたがって配置されている。同様に、画素R(i)用駆動トランジスタ1902は、画素R(i+1)の領域にまたがって配置されている。このように、図19ではある画素が有する駆動トランジスタは、その画素の横の画素の領域にまたがって配置されている。

【0115】

ここで、図30に示すように、レーザの走直ビッチをMとする。そして、画素ビッチをNとする。トランジスタの長さを区とする。すると、トランジスタにレーザが照射される回数は、 $区/M$ となる。ここで、 $区 > N$ であるので、 $(区/M) > (N/M)$ となる。

【0116】

このように、レーザ照射回数を増やすことができるため、トランジスタ自体のはりつきを低減することができる。逆に、トランジスタの長さ区が十分に長い場合は、レーザの走直ビッチMを従来よりも多少大きくすることができるので、画面全体に対するレーザを照射する回数を減らすことができる。ただし、図1ではトランジスタの長さ区は、2画素にまたがっている。したがって、トランジスタに対する照射回数を増やすためには、走直ビッチMは2倍以下にしておくことが好ましい。その結果、処理速度が早くなり、短い期間で製造できるようになり、コストダウンにつながる。

【0117】

次に、図19に対応した画素のレイアウト図を、図20に示す。図20では、一例として、画素R(i)のみについて記載している。図20に対応した回路図を、図21に示す。なお図19～図21において、同一のものを指す場合は、同じ符号を用いている。

【0118】

図20の特徴としては、以下のことを挙げることができる。

【0119】

まず、駆動トランジスタが、選択ゲート線と平行に配置されている点が挙げられる。例えば、j行目選択ゲート線2001と平行に、各駆動トランジスタが配置されている。その結果、駆動トランジスタの長さを、容易に長くすることができる。

【0120】

また、画素の色は、縦方向にRGBと並んでいる。その結果、横方向に駆動トランジスタを配置した場合、駆動トランジスタの長さを、容易に長くすることができる。

【0121】

このように、駆動トランジスタの配置を工夫することにより、駆動トランジスタ、より正確には、駆動トランジスタのチャネル形成領域の長さを、画素ビッチよりも長くすることができる。

【0122】

10

20

30

40

50

以上、2画素にわたってトランジスタを配置した例を述べてきた。しかし、本発明は、これに限定されない。2画素以上にわたって、トランジスタを配置しても良い。

【0123】

そこで、2画素以上にわたって、トランジスタを配置した例として、3画素にわたってトランジスタを配置した場合を、図22に示す。

【0124】

このように配置することにより、トランジスタの長さを任意に長く設計することができる。その結果、レーザ照射の回数が増える。レーザが照射される回数が増えると、トランジスタにおけるチャネル形成領域の結晶状態のばらつきによる影響を低減することができるので、トランジスタの特性のばらつきを抑制することが出来る。

10

【0125】

なお本実施の形態では、カラー表示の場合について述べた。しかし、本発明はモノクロ表示の場合に対しても適用できる。

【0126】

また本実施の形態では、ストライプ配置の場合について述べてきた。しかしながら本発明はこれに限定されず、デルタ配置などの別方法で配置された場合に対しても適用できる。

【0127】

また本実施の形態では、駆動トランジスタが1つのトランジスタのみで構成される場合について述べた。しかし、直列や並列に接続した複数のトランジスタを用いて、1つの駆動トランジスタと同等の動作をさせることが可能である。したがって、それに対応させて、トランジスタを配置させたものに対しても本発明を適用できる。

20

【0128】

また本実施の形態では、図15に示すように、トランジスタにおいて、チャネル形成領域よりも上側にゲート電極が形成されている構造、いわゆる、トップゲート構造のトランジスタを用いて説明した。しかしながら、図35に示すように、チャネル形成領域よりも下側にゲート電極が形成されている構造、いわゆる、ボトムゲート構造など、どのような構造のトランジスタであっても、適用できる。なぜなら、本発明はそれらの構造には依存しないからである。

【0129】

また本実施の形態では、画素の回路構成として、選択トランジスタと駆動トランジスタの一画素内に2つのトランジスタを有する場合に本発明を適用した例を述べた。しかしながら、本発明は別の回路構成に対しても適用できる。例として、図33や図34に示すように、特開2001-343933、US 6229506 B1、特開平11-219146、特開2001-147659などに記載の構成が挙げられる。つまり、本発明は回路構成に依存しない。どのような回路構成であっても、本発明を適用することができる。但し、さまざまな回路構成に本発明を適用するときには、性能に影響を与えるトランジスタやばらつきの影響を受けやすいトランジスタに、本発明を適用することが効果的である。

30

【0130】

また上述した以外の本発明の特徴を以下に述べる。本発明の半導体装置は、トランジスタがマトリクス状に複数配置されており、各トランジスタはレーザ光の照射により結晶化された半導体を有する。そして、複数のトランジスタの各チャネル形成領域は、第1の方向に延在するように配置され、複数の前記トランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくとも2つのトランジスタは、前記第1の方向に互いにずれた位置関係を有することを特徴としている。

40

【0131】

前記第1の方向は、レーザの走査方向に相当する。また、チャネル長を長くするように半導体を配置する場合、レーザの走査方向はトランジスタのチャネル形成領域における電荷の移動方向に相当する。また、本発明を実施するための一例として、図1の画素R(i-1)用駆動トランジスタ101や、図5の画素R(i-1)用駆動トランジスタ50

50

1に示されるような形状の半導体のように、2つまたは3つの画素にまたがって半導体を配置する。このようにすると、トランジスタが有する各半導体のチャネル長が画素ピッチよりも長いものにも関わらず、画素内における半導体の占有面積をなるべく小さくすることが出来る。なお、半導体の形状は、上記のものに限定されるものではなく、半導体の長さが画素ピッチに対して長い形状を有するように配置するのであれば、どのような形状でもよい。また、チャネル形成領域に関して延在させるのは、チャネル長しであってもよいし、チャネル幅Wであってもよいし、両方であってもよい。

【0132】

【実施例】

【実施例1】

これまでの断面図では、ITOの層までのみ示してきた。そこで次に、発光素子の部分まで含めた断面図を示す。図23では、下の方へ、つまりガラスの方に光が出射する場合の断面図を示す。図24では、上の方へ光が出射する場合の断面図を示す。

【0133】

図23では、ITOの上に発光層2301が成膜されている。その上に、陰極2302が成膜されている。発光層2301には、公知の技術により作製された材料が成膜されている。

【0134】

発光層2301の一例としては、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層、などが積層されたものが良く用いられる。

【0135】

図24では、陽極配線の上に発光層が成膜されている。その上に、光が透過できる陰極、すなわち、光透過性陰極2401を用いているが、陽極と陰極を逆にして、この層に陽極を形成してもよい。

【0136】

なおこの断面構造は、公知の技術を用いて作製することが出来る。また、上述した実施の形態1～実施の形態5に対して、本実施例を適用することが出来る。それにより本発明の半導体装置は画像を表示することが可能となる。

【0137】

【実施例2】

発光ディスプレイのように、発光素子を用いた発光装置は、自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0138】

本発明を適用した発光ディスプレイを用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図25に示す。

【0139】

図25（A）は表示装置であり、本体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明を適用した発光ディスプレイは表示部3003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

10

20

30

40

50

【0140】

図25(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明を適用した半導体装置は表示部3102に用いることができる。

【0141】

図25(C)はノート型パーソナルコンピュータであり、本体3201、体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明を適用した半導体装置は表示部3203に用いることができる。

【0142】

図25(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明を適用した半導体装置は表示部3302に用いることができる。

【0143】

図25(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3401、体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読込部3405、操作キー3406、スピーカー部3407等を含む。表示部A3403は主として画像情報を表示し、表示部B3404は主として文字情報を表示するが、本発明を適用した半導体装置はこれら表示部A、B3403、3404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0144】

図25(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明を適用した半導体装置は表示部3502に用いることができる。

【0145】

図25(G)はビデオカメラであり、本体3601、表示部3602、体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609等を含む。本発明を適用した半導体装置は表示部3602に用いることができる。

【0146】

図25(H)は携帯電話であり、本体3701、体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明を適用した半導体装置は表示部3703に用いることができる。なお、表示部3703は黒色の背景に白色の文字を表示することによって携帯電話の消費電流を抑えることができる。

【0147】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0148】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、該発光材料を用いた発光装置は動画表示に好ましい。

【0149】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0150】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0151】

【発明の効果】

本発明は、トランジスタがマトリクス状に複数配置されており、各トランジスタはレーザー光の照射により結晶化された半導体を有する。そして複数のトランジスタの各チャネル形成領域は、第1の方向（レーザーの走査方向）に延在するように配置され、複数の前記トランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくとも2つのトランジスタは、前記第1の方向に互いにずれた位置関係を有する。そして複数のトランジスタが有する各半導体は、かぎ括弧の終点印である“J”と始点印である“L”とを合体させたような形状を有し、2つの画素にまたがって配置されている。このようにすると、トランジスタが有する各半導体のチャネル形成領域の長さが画素ビッチよりも長いものにも関わらず、画素内における半導体の占有面積をなるべく小さくすることが出来る。

10

【0152】

本発明は、X方向（レーザーの走査方向）の位置によるトランジスタの特性ばらつきを平均化させるために、X方向（レーザーの走査方向）と平行に半導体を配置する。X方向（レーザーの走査方向）と平行にトランジスタを配置することによって、トランジスタのチャネル形成領域に対するレーザーの照射回数を増やすことが出来る。その結果、トランジスタにおけるチャネル形成領域の結晶状態のばらつきによる影響を低減することができるので、トランジスタの特性のばらつきを抑制することが出来る。

20

【0153】

また本発明では、半導体に対するレーザーの照射回数を増やすために、半導体を少なくとも2つの画素にまたがって配置する。そうすると、前記半導体の長さは、画素の画素ビッチよりも長く配置される。このようにトランジスタのサイズを大きくし、かつチャネル幅に対してチャネル長を大きくとることによって、トランジスタ自体のばらつきを低減することが出来る。

【0154】

また、将来的に画素ビッチが大きくなれば、半導体の長さをより大きくすることが出来るので、レーザーの照射回数を増やすことが可能となる。この結果、前記半導体を有するトランジスタのばらつきを抑制することが出来るため、本発明は絶大な効果を奏することが期待出来る。

30

【0155】

なお、半導体にレーザー光を照射するときには、レーザー光の幅及び長さ、並びにレーザーの走査ビッチは、特に限定されない。ただし本発明では、半導体に対するレーザーの照射回数が増えるので、レーザー光の幅を広くしたりすることが好ましい。こうすることによって、トランジスタにおけるチャネル形成領域の結晶状態のばらつきによる影響をさらに低減することが出来るので、トランジスタの特性のばらつきを、より抑制することが出来る。また、半導体の長さが十分に長い場合は、レーザーの走査ビッチを多少長くしても、半導体に対するレーザー照射回数は十分大きく出来るため、トランジスタのばらつきを低減することが出来る。こうすることによって、画面全体に対するレーザーの照射回数を増やすことなく半導体装置を作製することが出来る。その結果、半導体装置を作製するときの処理速度が早くなるため、作製費用を削減することが出来る。

40

【0156】

【図面の簡単な説明】

【図1】本発明のトランジスタの配置の概略図

【図2】本発明の回路のレイアウト図

【図3】本発明の回路の回路図

【図4】本発明の回路の上面図と断面図

【図5】本発明のトランジスタの配置の概略図

50

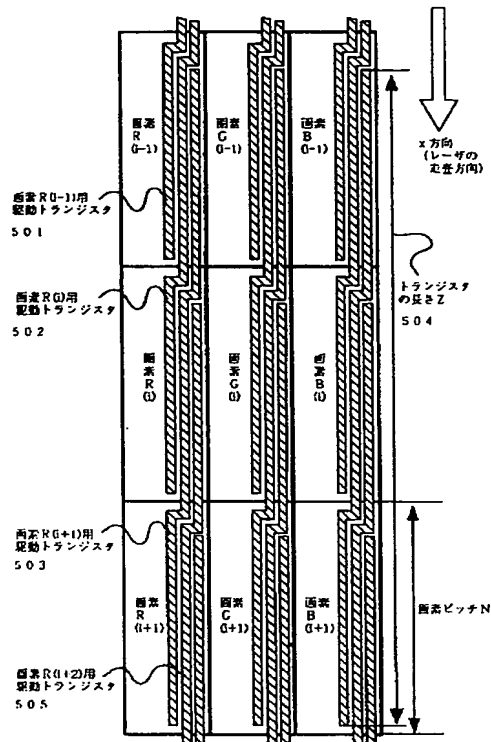
- 【図 6】本発明の回路のレイアウト図
- 【図 7】本発明のトランジスタの配置の概略図
- 【図 8】本発明の回路のレイアウト図
- 【図 9】本発明の回路の回路図
- 【図 10】本発明の回路の上面図と断面図
- 【図 11】本発明のトランジスタの配置の概略図
- 【図 12】本発明のトランジスタの配置の概略図
- 【図 13】本発明の回路のレイアウト図
- 【図 14】本発明の回路の回路図
- 【図 15】本発明の回路の上面図と断面図
- 【図 16】本発明のトランジスタの配置の概略図
- 【図 17】本発明の回路のレイアウト図
- 【図 18】本発明の回路の回路図
- 【図 19】本発明のトランジスタの配置の概略図
- 【図 20】本発明の回路のレイアウト図
- 【図 21】本発明の回路の回路図
- 【図 22】本発明のトランジスタの配置の概略図
- 【図 23】本発明の半導体装置の断面図
- 【図 24】本発明の半導体装置の断面図
- 【図 25】本発明の半導体装置を用いた電子機器の図
- 【図 26】従来の画素の回路図
- 【図 27】従来の画素の動作図
- 【図 28】従来のレーザ照射の概略図
- 【図 29】従来の画素の配置図
- 【図 30】従来のレーザ光の強度の分布図
- 【図 31】従来の半導体装置の表示画面を説明する図
- 【図 32】従来のトランジスタの配置の概略図
- 【図 33】従来の画素の配置図
- 【図 34】従来の画素の配置図
- 【図 35】本発明の回路の上面図と断面図。

10

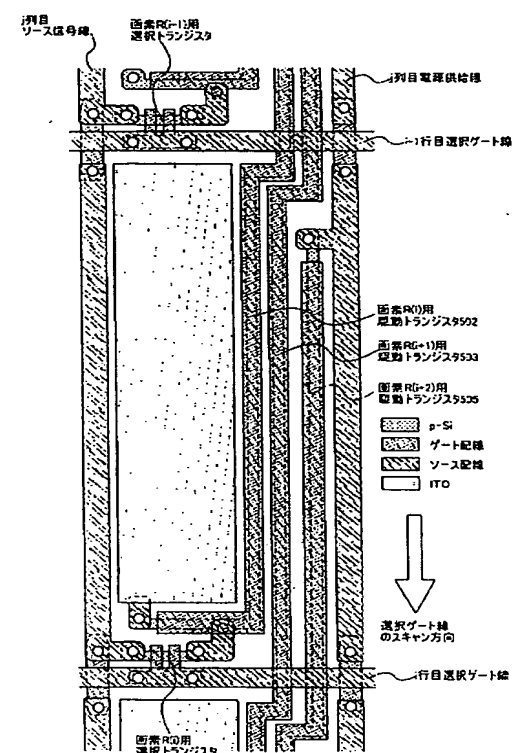
20

30

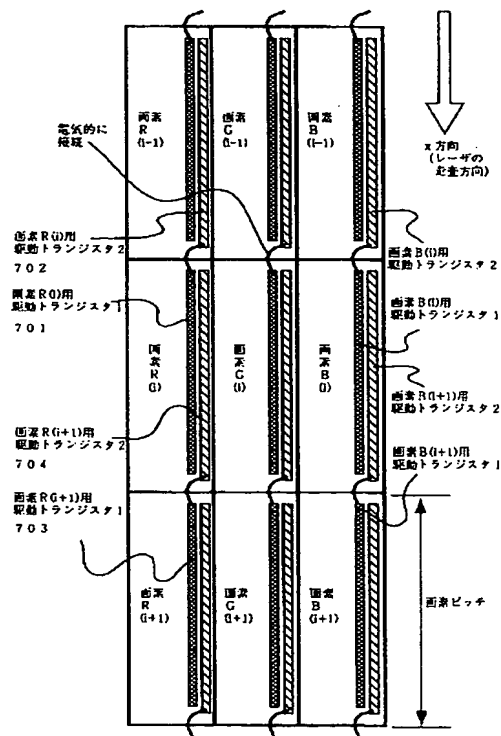
【図 5】



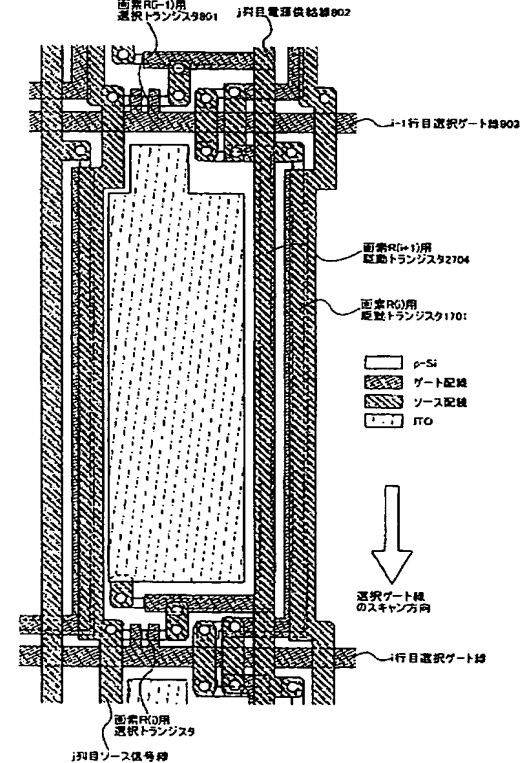
【図 6】



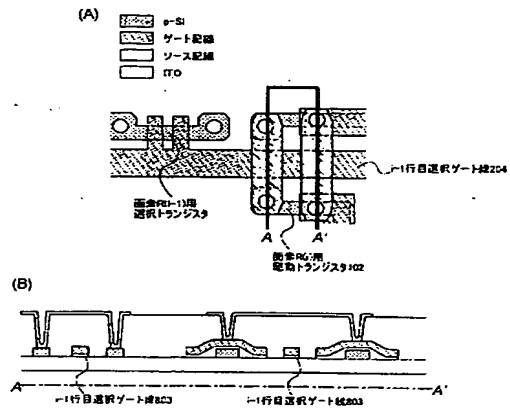
【図 7】



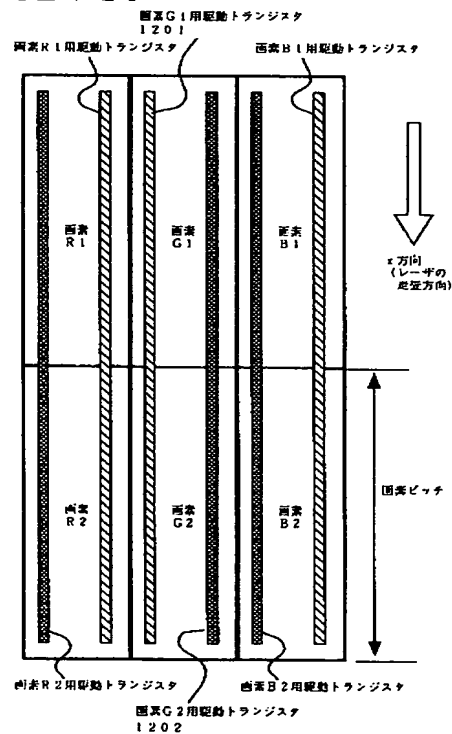
【図 8】



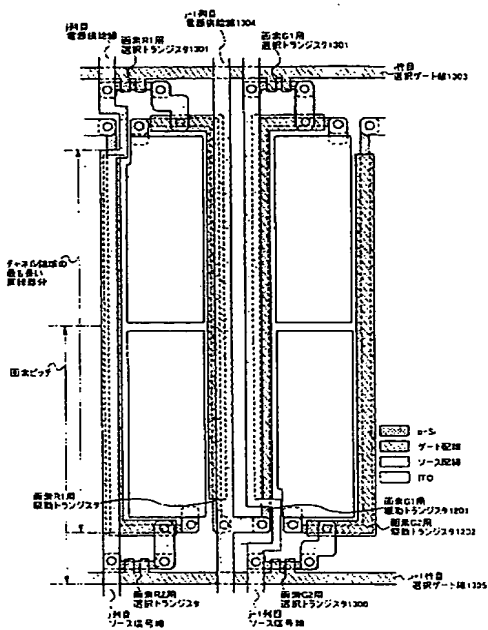
【 ㊦ 1 0 】



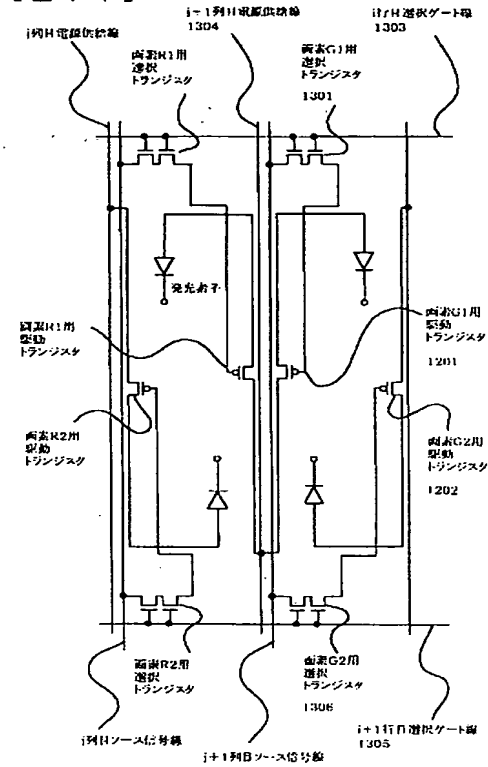
【 1 2 】



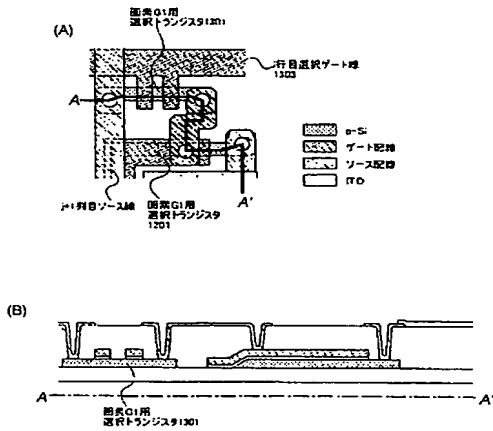
【図13】



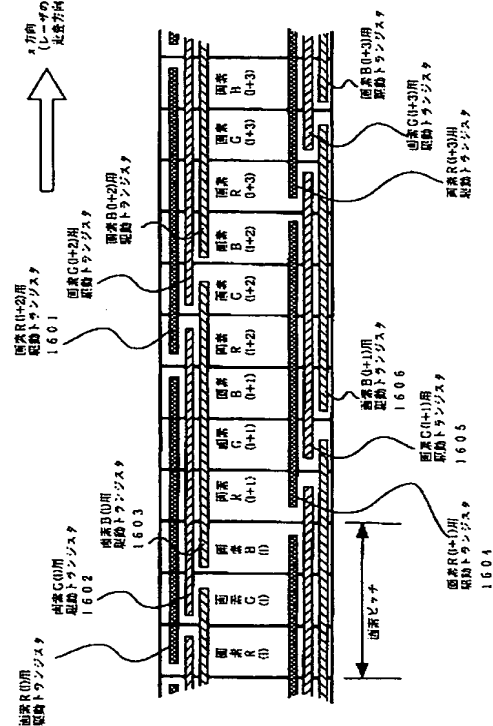
【図14】



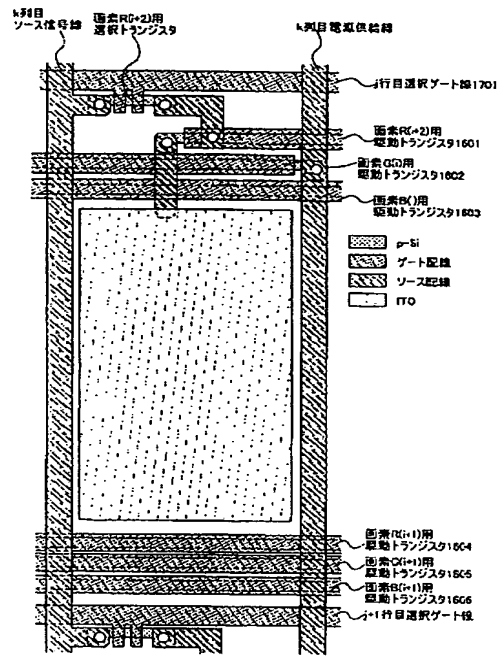
【図15】



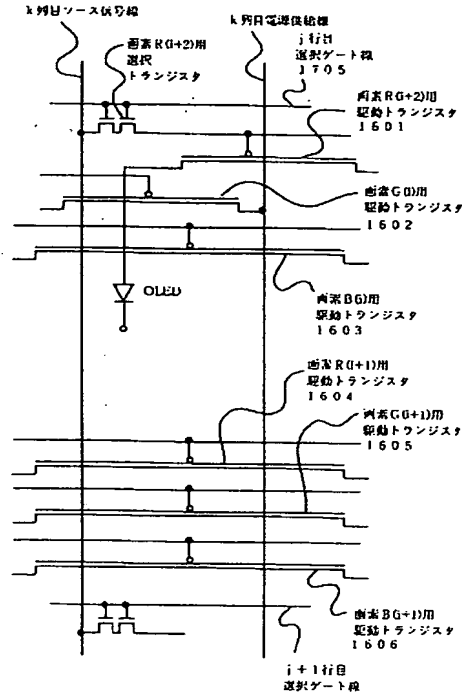
【図16】



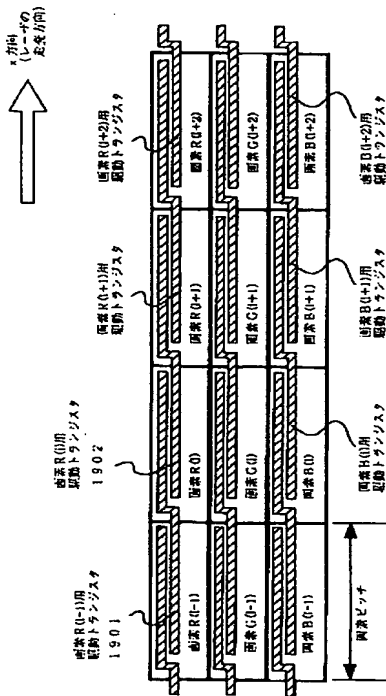
【図 17】



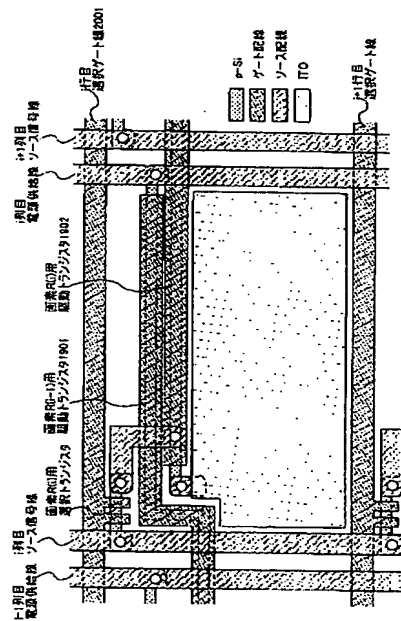
【図 18】



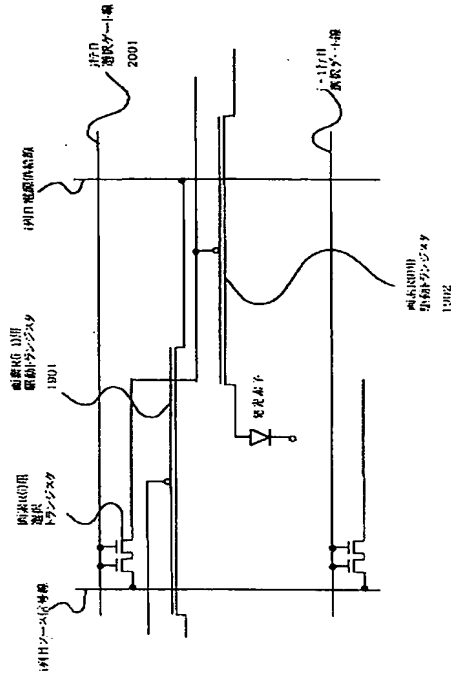
【図 19】



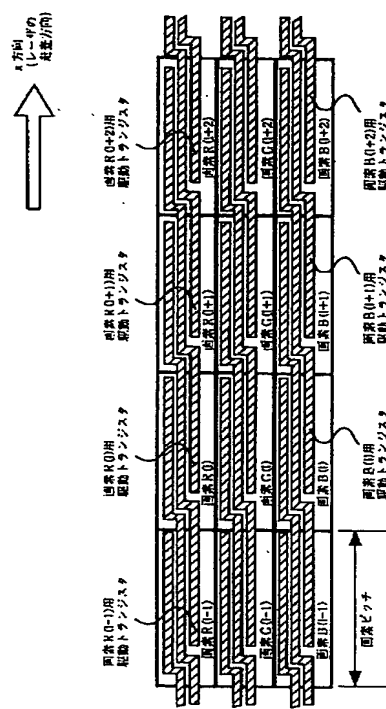
【図 20】



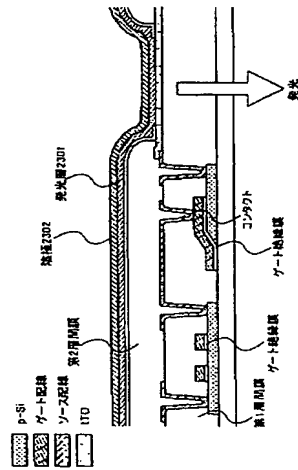
【図 21】



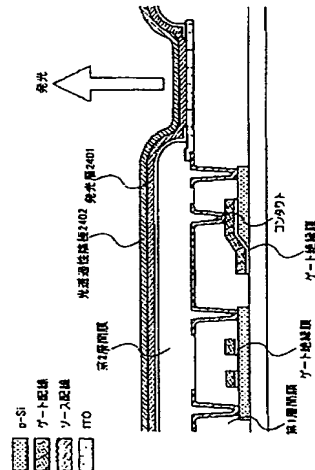
【図 22】



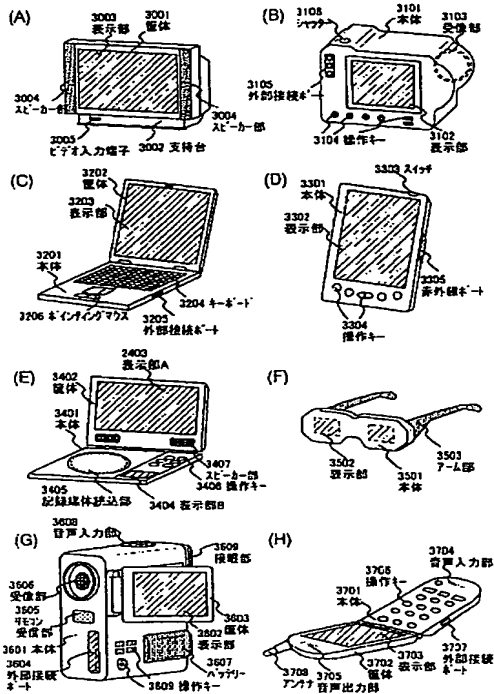
【図 23】



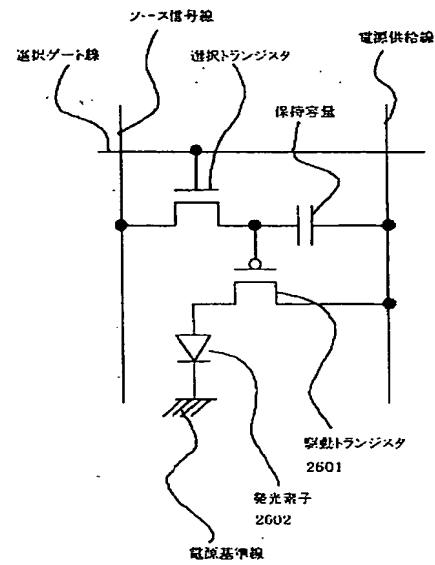
【図 24】



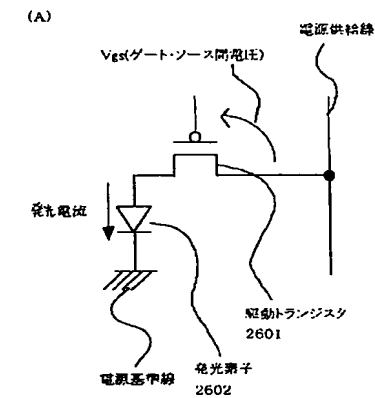
【図 25】



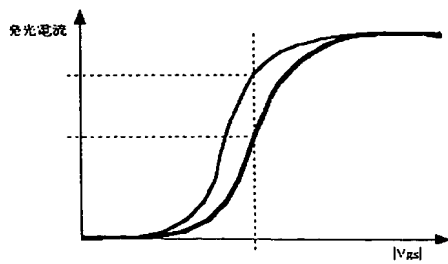
【図 26】



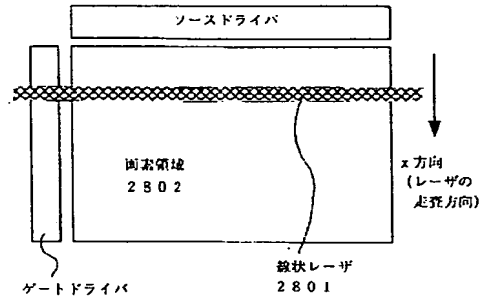
【図 27】



(B)

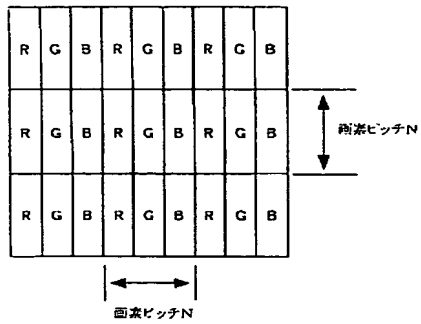


【図 28】

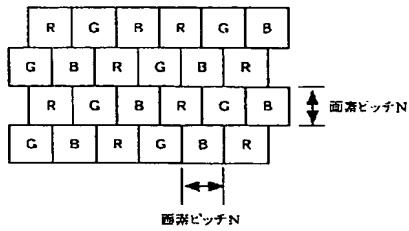


【図 29】

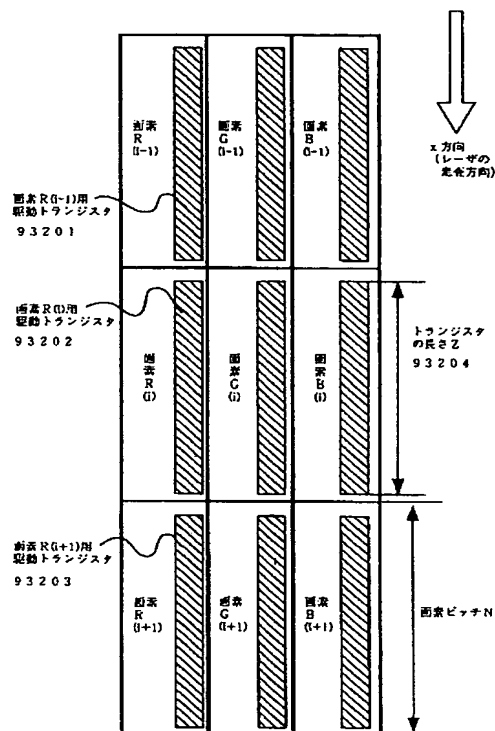
(A)



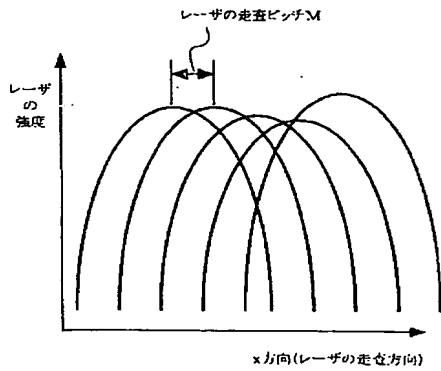
(B)



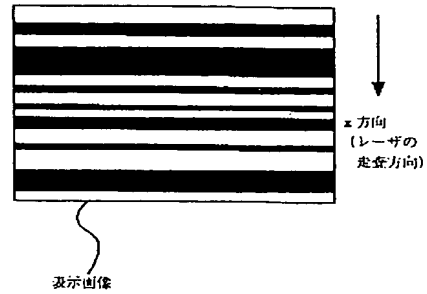
【図 32】



【図 30】

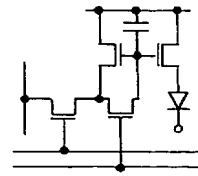


【図 31】

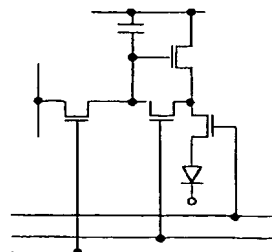


【図 33】

(A)

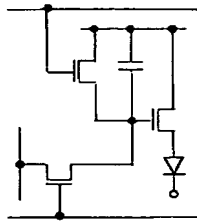


(B)

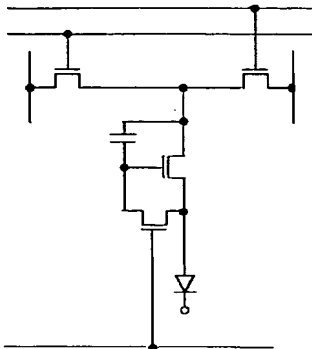


【図 34】

(A)

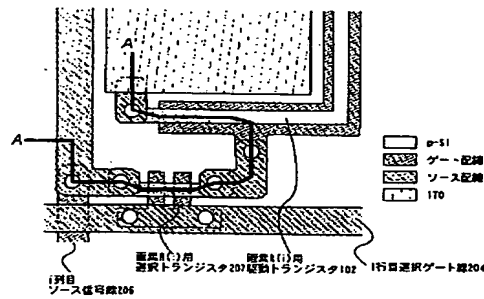


(B)

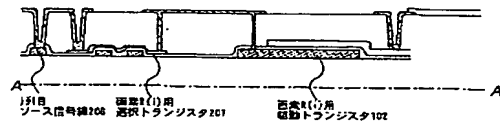


【図 35】

(A)



(B)



【手続補正書】

【提出日】平成15年6月18日(2003.6.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、
前記複数のトランジスタは、レーザー光の照射により結晶化された半導体をそれぞれ有し、
前記複数の半導体は、少なくとも2つの画素にまたがって配置され、
前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長い
ことを特徴とする半導体装置。

【請求項2】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、
前記複数のトランジスタは、レーザー光の照射により結晶化された半導体をそれぞれ有し、
且つ第1の方向に延在するように配置され、
前記複数の半導体は、少なくとも2つの画素にまたがって配置され、
前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長く

、
前記複数のトランジスタのうち、前記第1の方向と垂直な第2の方向で隣接する少なくと
も2つのトランジスタは、前記第2の方向に互いにずれた位置関係を有することを特徴と
する半導体装置。

【請求項3】

請求項 2 において、前記第 1 の方向は、前記トランジスタのチャネル形成領域における電荷移動方向であることを特徴とする半導体装置。

【請求項 4】

トランジスタを有する画素がマトリクス状に複数設けられた半導体装置において、前記複数のトランジスタは、レーザ光の照射により結晶化された半導体をそれぞれ有し、前記複数の半導体は少なくとも 2 つの画素にまたがって配置され、前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長く

、前記レーザ光の走査ピッチが M であり、前記画素の画素ピッチが N であるとき、前記レーザ光が前記複数の半導体に照射された回数は (N/M) 回以上であることを特徴とする半導体装置。

【請求項 5】

トランジスタを有する画素と配線とがマトリクス状に複数設けられた半導体装置において、前記複数のトランジスタは、レーザ光の照射により結晶化された半導体をそれぞれ有し、前記複数の半導体は前記複数の配線と平行な方向に延在し、且つ少なくとも 2 つの画素にまたがって配置され、前記複数のトランジスタのチャネル形成領域の長さは、前記画素の画素ピッチよりも長く

、前記レーザ光の走査ピッチが M であり、前記画素の画素ピッチが N であるとき、前記レーザ光が前記複数の半導体に照射された回数は (N/M) 回以上であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、複数の前記トランジスタの各チャネル形成領域における電荷移動方向は、前記レーザ光の走査方向と平行であることを特徴とする半導体装置。

フロントページの続き

(51)Int.Cl.⁷

H 0 5 B 33/14

F I

H 0 1 L 29/78 6 2 7 G

H 0 1 L 29/78 6 1 8 C

テーマコード (参考)

Fターム(参考) 5F110 AA01 AA30 BB01 CC01 CC07 GG23 GG26 NN71 NN77 PP03

PP05 PP06 PP24

5G435 AA17 BB12 CC09 KK05 KK10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.